

半導体 pn接合

金属—半導体—絶縁体

金属と半導体の間には明確な区別が存在する。しかし、半導体と絶縁体は、基本的に同じ範疇にあるが、電気伝導度の大雑把な大きさの違いで区別している。

金属の定義とは、絶対零度においてフェルミ面が存在すること、すなわち、フェルミ準位に有限の状態密度が存在することである。それに対し、半導体、絶縁体は、絶対零度においてフェルミ面を持たず、フェルミ準位はエネルギーギャップ内に位置する。

真性半導体

半導体とは、明確な境界は無いが、室温における電気抵抗率 ρ が $10^{10} \sim 0.01 \Omega/\text{cm}$ 程度に属する絶縁体をさす。半導体の代表的な元素として、Si, Ge が良く知られている。数種の半導体におけるエネルギーギャップの大きさを、右の表に示す。**絶対零度**においては、半導体の価電子帯は完全に充満し、且つ、伝導帯は空であるため、電気伝導度はゼロになる。有限温度では、価電子帯から伝導帯に熱励起された電子—正孔対が電荷を運ぶ担体になる。室温では、こうして生成された電荷担体のみが伝導度を担っており、**真性半導体**と呼ばれる。

表1 種々の半導体のエネルギーギャップ

	Energy Gap
Diamond	5.4 eV
Si	1.11 eV
Ge	0.66 eV
GaAs	1.43 eV
CdS	2.42 eV

半導体の自由キャリア（電荷担体）密度

有限温度における半導体中を自由に運動できる電荷担体密度は、図1のようにフェルミ—ディラック分布で支配される。

$$f(E) = 1/(e^{(E-E_F)/k_B T} + 1) \quad (1)$$

この時に表1のように、エネルギーギャップ E_g は室温の $k_B T$ よりも十分に大きいので、(1) 式は**Maxwell-Boltzmann** 分布で近似できる。伝導帯 ($f_C(E)$) の電子と価電子帯 ($f_V(E)$) の正孔の占有確率についてそれぞれ

$$f_C(E) \approx e^{-(E-E_F)/k_B T}$$

$$= e^{-(E_C-E_F)/k_B T} e^{-(E-E_C)/k_B T} \quad (2a)$$

$$f_V(E) = 1 - f(E) \approx e^{(E-E_F)/k_B T}$$

$$= e^{(E_V-E_F)/k_B T} e^{(E-E_V)/k_B T} \quad (2b)$$

と表現できる。伝導帯の電荷担体密度は、その状態密度 $D(E)$ を用いて、

$$n_C = \int_{E_C}^{\infty} f_C(E) D(E) dE = e^{-(E_C-E_F)/k_B T} \int_{E_C}^{\infty} D(E) e^{-(E-E_C)/k_B T} dE \quad (3)$$

で与えられる。伝導帯のエネルギー分散を $E(k) = E_C + (\hbar k)^2/2m^*$ 、3次元系の単位体積あたりの状態密度として $D(E) = (1/2\pi^2)(2m^*/\hbar^2)^{3/2} (E-E_C)^{1/2}$ を用いると、電荷担体密度 n_C は $n_C = 2(m^*kT/2\pi\hbar^2)^{3/2} e^{-(E_C-E_F)/k_B T} = 2(2\pi m^*kT)^{3/2}/h^3 e^{-(E_C-E_F)/k_B T} = A_C e^{-(E_C-E_F)/k_B T}$ (4) と得られる。

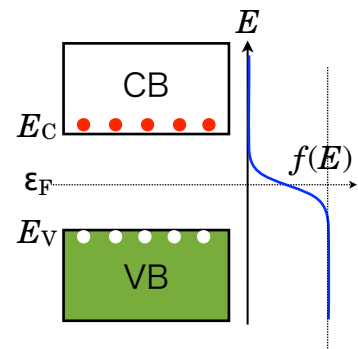


図1

3次元状態密度

$E(k) = E_C + (\hbar k)^2/2m^*$ および、 $N = (4\pi k^3/3)/(2\pi/L)^3$ より、
 $(2m^*(E-E_C))^{1/2}/\hbar = k = (6\pi^2 N/V)^{1/3}$ 。

これを $n = N/V$ について解き、

$$n = (2m^*(E-E_C))^{3/2} / 6\pi^2 \hbar^3$$

これをエネルギーで微分して単位体積あたりの状態密度 $D(E)$ を得る：

$$D(E) = 2 \, dn/dE = (1/2\pi^2)(2m^*/\hbar^2)^{3/2} (E-E_C)^{1/2}、$$

ここで、因子2はスピンの自由度から来る。

エネルギー積分

$$\int_{E_C}^{\infty} (E-E_C)^{1/2} e^{-(E-E_C)/a} dE$$

$t^2 = E-E_C$ 、 $dE/dt = 2t$ と置くと、

$$= \int_0^{\infty} t e^{-t^2/a} 2t dt = 2 \int_0^{\infty} t^2 e^{-t^2/a} dt = (1/2)(\pi/a^3)^{1/2}$$

を得る。

不純物半導体

通常、半導体素子として使用されるのは、不純物ドーピングにより電荷担体を導入した不純物半導体である。大きく2種に分けられ、4価の Si や Ge より価数が1つ多い P, As, Sb などの電子供与体をドーピングした電子が電荷担体の n 型半導体と、価数が1つ少ない不純物 B, Al, Ga, In などの電子受容体をドーピングした p 型半導体がある。

ドーピングされた不純物の電子や正孔の軌道半径およびイオン化ポテンシャルは、Si や Ge 結晶内の遮蔽効果とバンドの形で決まる小さな有効質量 m^* に支配されている。電子の運動エネルギーは

$$m^* v^2/2 = P^2/2m^* \approx \hbar^2/(2m^* a_D^2) \quad (\because P \cdot a_{D,H} \approx \hbar, \text{ D: donor, H: 水素})$$

で表される。一方、ポテンシャルエネルギーは、

$$-e^2/4\pi\epsilon\epsilon_0 a_D \quad (-e^2/\epsilon a; \text{ cgs})$$

なので、全エネルギー

$$E = \hbar^2/(2m^* a^2) - e^2/4\pi\epsilon\epsilon_0 a$$

が最小になるドナー電子軌道半径 a_D を取る： $\partial E/\partial a = -\hbar^2/(m^* a_D^3) + e^2/4\pi\epsilon\epsilon_0 a_D^2 = 0$ より

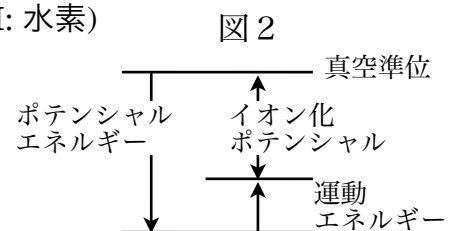
$$a_D = 4\pi\epsilon\epsilon_0 \hbar^2/(m^* e^2) = a_H \epsilon m_0/m^* = 0.529 \epsilon m_0/m^*. \quad (\text{\AA}) \quad (5)$$

ここで、 $a_H = 4\pi\epsilon_0 \hbar^2/m_0 e^2$ 、従って、 $m_0 a_H = 4\pi\epsilon_0 \hbar^2/e^2$

電子や正孔が不純物原子から離脱する際に必要なイオン化エネルギーは、運動エネルギーとポテンシャルエネルギーの和の全エネルギーに相当する：

$$E_D = e^2/8\pi\epsilon\epsilon_0 a_D - e^2/4\pi\epsilon\epsilon_0 a_D = -e^2/8\pi\epsilon\epsilon_0 a_D = E_H a_H/\epsilon a_D = E_H m^*/m_0 \epsilon^2. \quad (6)$$

ここで、 $E_H = -e^2/8\pi\epsilon_0 a_H$ 、従って、 $E_H a_H = -e^2/8\pi\epsilon_0$



軌道半径とイオン化エネルギー

表 2

	ϵ	m^*/m_0	$\epsilon m_0/m^*$	a_D (Å)	$E_D = E_H m^*/m_0 \epsilon^2$ (eV)
Ge	15.8	1/5	79	41.8	0.011
Si	11.7	1/2	23.4	12.4	0.05

Si と Ge の場合について、右表の誘電率 ϵ と有効質量 m^* を用いてドナー電子の軌道半径とイオン化エネルギーを求めよう。軌道半径 a_D は $\epsilon m_0/m^*$ に比例するので、水素原子のBohr半径 a_H

$= 0.529 \text{ \AA}$ に右表の数値を掛けて得られる。一方、イオン化エネルギーは $E_H m^*/m_0 \epsilon^2$ なので、水素の1s軌道のイオン化エネルギー $E_H = 13.6 \text{ eV}$ を用いて右端の数値が得られる。半導体中の不純物準位は、この小さなイオン化エネルギー分だけ荷電子帯、或いは伝導体から離れたエネルギーギャップ内に位置する。

エネルギー準位

不純物半導体のエネルギー準位を図3に示す。通常、電子数密度 n とホール数密度 p は非常に小さいために、伝導体下端 E_C と荷電子帯上端 E_V はFermi-Dirac分布関数の裾に位置し、 $(E_C - E_F)/k_B T$ および $(E_F - E_V)/k_B T$ は1より非常に小さい。その

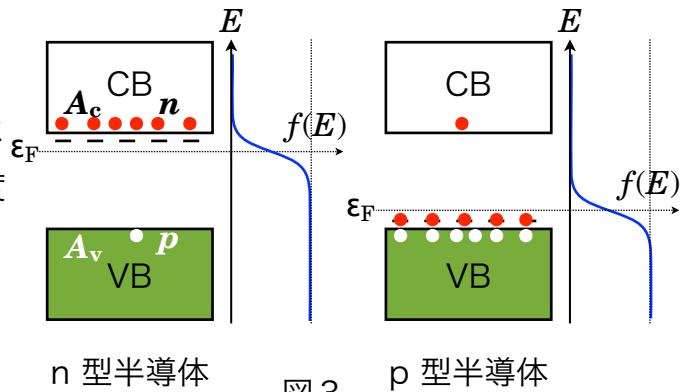


図 3

ため(1)のFermi-Dirac分布関数はボルツマン因子 $e^{-(E_C - E_F)/k_B T}$ および $e^{-(E_F - E_V)/k_B T}$ で良く近似される。その結果、 n と p の間にはエネルギーギャップのみに依存する半導体方程式(質量作用の法則とも呼ばれる)が成り立つ：

$$np = A_C e^{-(E_C - E_F)/k_B T} A_V e^{-(E_F - E_V)/k_B T} = A_C A_V e^{-E_g/k_B T}. \quad (7)$$

ここで、 $A_V (= 2(2\pi m^* k_B T)^{3/2}/h^3)$ は荷電子帯の有効状態密度、 A_C は伝導帯の有効状態密度である。この関係式は、真性半導体でも成り立つことは自明であろう。

図4に、不純物半導体の電荷担体密度 n_e の模式的な温度($1/T$)依存性を示す。

- 1) **不純物領域**： $k_B T < E_{ion}$ ：不純物のイオン化エネルギー E_{ion} 以下の低温領域を指し、担体密度はボルツマン因子 $e^{-E_{ion}/k_B T}$ にしたがって増加する。
- 2) **出払領域**： $k_B T \geq E_{ion}$ ：温度がイオン化エネルギーと同程度、或いはそれ以上の高温領域を指し、不純物がほぼ完全にイオン化し、温度によらず担体密度は一定になる。
- 3) **真性領域**： $k_B T \geq E_g$ ：熱エネルギーがエネルギーギャップ以上になると真性半導体と同様に、指数関数的に担体密度が増加する。

不純物をドーブしたSiやGeではイオン化エネルギーが0.05 eV以下なので、常温では出払領域に相当する。

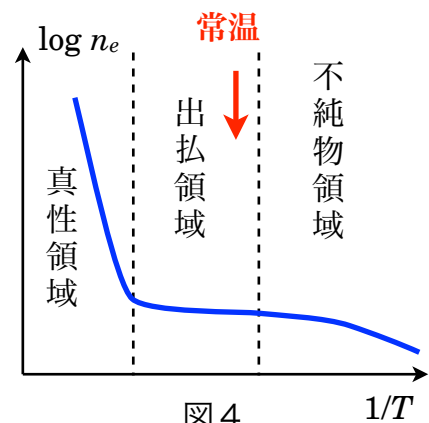


図 4

半導体の電気伝導

不純物半導体は、常温では出払領域にあるので金属と似ているが、1) **担体数**が少ない点、2) 担体として**電子とホール**の2種がある点が異なる。担体の運動エネルギーは、金属のフェルミエネルギー E_F に対して $k_B T$ 程度と数桁小さいため、小さな波数のフォノンも散乱に効果的に寄与し、電気抵抗は、フォノン波数 q が小さくなる低温領域まで温度に比例する。

電流密度 j は電子担体とホール担体の和として、

$$j = -n_c e \langle v_c \rangle + n_v e \langle v_v \rangle$$

で与えられる。担体が時間 τ の指数関数で記憶を失うとすると、電子担体の運動方程式は、

$$m_c^* a = -eE - m_c^* v_c / \tau_c$$

と書ける。平衡状態では、 $a = 0$ なので平均速度 $\langle v_c \rangle$ は

$$\langle v_c \rangle = -eE\tau_c / m_c^* = -\mu_c E$$

$$\langle v_v \rangle = eE\tau_v / m_v^* = \mu_v E$$

となる。ここで、 $\mu_i = e\tau_i / m_i^*$ は担体 i の移動度 ($\text{cm}^{3/2} \text{g}^{-1/2}$, (cgs)、 $\text{cm}^2/\text{volt}/\text{s}$ (良く見かけるが混合単位))。従って、電気伝導度 σ ($(\text{A}/\text{m}^2)/(\text{V}/\text{m}) = \text{C}^2 \text{J}^{-1} \text{s}^{-1} \text{m}^{-1}$) は

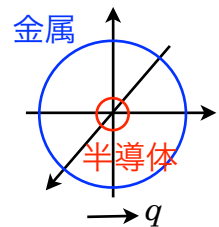
$$\sigma = j/E = n_c e^2 \tau_c / m_c^* + n_v e^2 \tau_v / m_v^*$$

と表せる。 τ は衝突時間間隔で、平均自由行程 Λ_{ph} と速度 v の比、 Λ_{ph}/v で書ける。 Λ_{ph} は、温度に比例して増加するフォノン数の逆数、 $1/T$ に比例し、 v は運動(熱)エネルギーの平方根、 $1/T^{-1/2}$ に比例するため、

$$\tau_{ph} \propto T^{-3/2}$$

で与えられる。

一方、低温領域では不純物散乱が効いてくる。温度降下と共に電荷担体数が減少するため、不純物ポテンシャルの遮蔽効果が効かなくなり、長距離力になる。



$$E: (\text{J}/\text{m}^3)^{1/2} = (\text{kg m}^2/\text{m}^3/\text{s}^2)^{1/2} = \text{kg}^{1/2} \text{m}^{-1/2} \text{s}^{-1}$$

$$\mu = v/E = (\text{m}/\text{s})(\text{s m}^{1/2}/\text{kg}^{1/2}) = \text{m}^{3/2}/\text{kg}^{1/2}$$

$$e = F/E \text{ より}$$

$$\sigma = ne\mu = (1/\text{cm}^3)(\text{cm}^{3/2}/\text{g}^{1/2})(\text{g cm}/\text{s}^2)/(\text{g}^{1/2}/\text{s cm}^{1/2}) = \text{s}^{-1} \text{ (cgs)}$$

p-n 接合

アクセプターをドーピングした p-型半導体と、ドナーをドーピングした n-型半導体を接合することにより、整流機能を持たせたダイオードやトランジスタを構成できる。

図5の様に、p-型半導体とn-型半導体を考えよう。この図の横軸は、半導体の長さ方向の位置を表し、縦軸は、電子に対するエネルギーを表す。p-n 接合は、互いに向かい合う面を接合させて作る。図6は接合させた瞬間を表している。破線のケミカルポテンシャル μ ($T=0$ では Fermi energy) が両側で差が生じている点に注意する。 μ は、電子が詰まっているエネルギーの目安であり、食い違った μ は低エネルギー側へ電子の移動を促す。n-型から p-型半導体に電子が流れ込み、p-型から n-型にはホールが流れ込む。

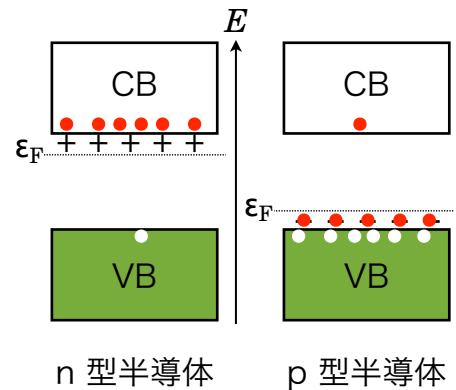


図5

p-n の接合界面近辺で両者は対消滅をする。そうすると、ドーパント・イオンと共に中性を保っていた電子やホールが消滅するため、ドナーの正イオンとアクセプターの負イオンが接合界面に現れてくる（この電荷担体が消滅した領域を**空乏層**と呼ぶ）。平衡状態では p-n 接合界面の正負の電荷層が作る内部電場が化学ポテンシャルの差 $\mu_n - \mu_p$ を打ち消している。この接合形成に伴う内部電場を**内蔵電位** V_{int} 或いは**障壁電位**と呼ぶ。外部電圧がゼロの時は化学ポテンシャルが場所に依らないため n-型とp-型の接合界面には正味の電流は流れないが、外部電位を加えると化学ポテンシャルが場所により変化するため、電荷担体の移動、すなわち電流が流れる。

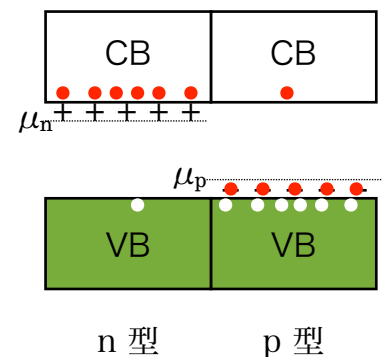


図6 p型とn型の半導体を接合させた瞬間。両者の化学ポテンシャルが一致していない。

内蔵 (障壁) 電位 Poisson Eq. $\nabla^2 V = -\rho/\epsilon$ 、電子に対して $V \Rightarrow -V$

ここで、界面電荷による内蔵電位を図8の様に考察する。

- 1) 空乏層に現れたドーパントの電荷：n-型は正で p-型は負
- 2) 電荷 $\rho = -eN_A = eN_D$ が作る電場は $\text{div } E = \rho/\epsilon$ を積分して得られる： $E = (\rho/2\epsilon)(W - 2|x|)$ (W は空乏層の幅)
- 3) ポテンシャル V と電場 E の負電荷に対する関係式 $E = -\partial V/\partial x$ より電子に対する電位 $V(x) = (\rho/2\epsilon)(Wx - \text{sgn}(x)x^2 + W^2/4)$ が求まる。従って、内蔵電位 $F = qE = -q\partial V/\partial r$

$V_{int} = \rho W^2/4\epsilon$ が得られる。
 $E = (1/\epsilon) \int \rho dx = (\rho/\epsilon)(x|_{x<0} - x|_{x>0} + C)$
 $= (\rho/\epsilon)(C - |x|)$, $|x| = W/2$ で $E=0$ より、 $C = W/2$

外部電位 V_{ext} は主に空乏層に掛かり、それを打ち消すために空乏層の幅 W が変化する。

$V_{ext} + V_{int} = \rho W^2/4\epsilon$ より、空乏層の幅 W は
 $V = (\rho/\epsilon) \int (W/2 - |x|) dx = (\rho/\epsilon)(Wx/2 - \text{sgn}(x)x^2/2 + D)$
 $x = -W/2$ で $V=0$ より、 $D = W^2/8$

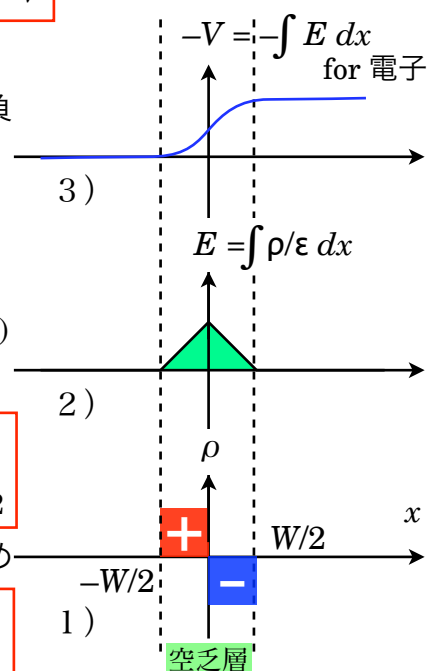


図8 内蔵電位発生機構

$$W = [4\epsilon(V_{\text{ext}} + V_{\text{int}})/\rho]^{1/2} = (4\epsilon V_{\text{ext}}/\rho + W_0^2)^{1/2} \quad (8)$$

で与えられる。ここで、 $W_0 = 2(\epsilon V_{\text{int}}/\rho)^{1/2}$ 。

$\rho x^2 : \text{erg}$

接合を流れる正味の電流

n 型半導体の電子と p 型半導体のホールは、接合界面を通して 2 種の電流を生じる。

1) 内蔵電位 V_{int} を乗り越えるためには熱励起の助けが必要だが、ボルツマン因子 $e^{-V_{\text{int}}/k_B T}$ の確率で電子は p 型の伝導帯に、ホールは n 型の荷電子帯に乗り越え拡散し、拡散電流 $I_{\text{diff}} \propto e^{-V_{\text{int}}/k_B T}$ を生じる。

2) n 型、p 型のそれぞれの半導体中で、 E_g の熱励起による電子-ホール対生成がボルツマン因子 $e^{-E_g/k_B T}$ の確率で発生する。それらの電荷担体は、内蔵電位 V_{int} で加速され（電子。ホールはバブルのように昇る）、ドリフト電流 I_{drift} を生じる。

μ は場所に依らないので、これらの電流はちょうど釣り合い、接合を通過する正味の電流はゼロである。

$$E_C - E_F = E_g/2$$

$$I_{\text{drift}} \propto I_{\text{drift}}^0 e^{-E_g/2k_B T} = I_{\text{diff}} = I_{\text{diff}}^0 e^{-V_{\text{int}}/k_B T} \quad (9)$$

ここで、 I_{drift}^0 と I_{diff}^0 は、それぞれ $E_g = 0, V_{\text{int}} = 0$ の時の電流を表す。

p-n 接合ダイオード：逆バイアス動作

図 8 に、p-n 接合に逆バイアスを加えた場合の様子を示す。電荷担体から見た p-n 接合の障壁が外部電位分だけ増大するため、電流は $e^{-e(V_{\text{int}} + V_{\text{ext}})/k_B T}$ の因子だけ抑制され、 $V_{\text{ext}} \gg V_{\text{int}}$ では $I = -I_{\text{drift}}$ のみになる。一方、空乏層は誘電体として働き、その幅は外部ポテンシャルの平方根に比例して広がるので、電圧可変キャパシタとして動作させることができる： $V_{\text{ext}} \gg V_{\text{int}}$ の場合、キャパシタンス C は、 $\rho = eN_A$ を用いて、

$$C(V_{\text{ext}}) = \epsilon S/W \approx \epsilon S/(4\epsilon V_{\text{ext}}/\rho)^{1/2} = S(\epsilon e N_A/4)^{1/2} V_{\text{ext}}^{-1/2} \quad (10)$$

で与えられる。外部電圧により制御可能なキャパシタであることから、バリキャップ（可変容量ダイオード：バリアブル・キャパシタンス・ダイオード）とも呼ばれる。

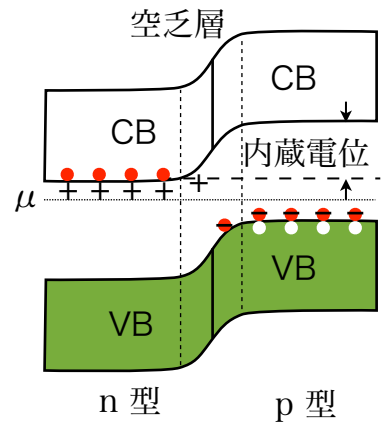


図 7 界面の電子とホールが再結合して残った正負電荷が作る内蔵（障壁）電位。

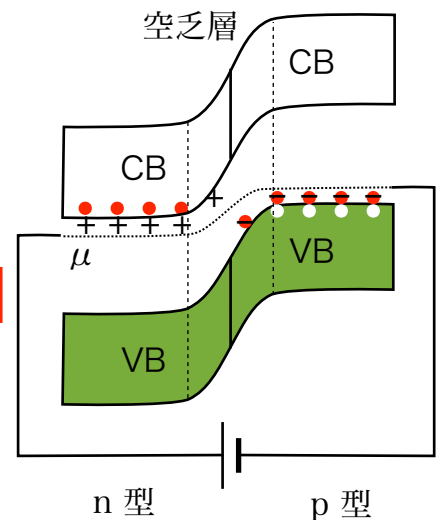


図 8 p-n 接合ダイオードに逆バイアスを加えた場合の動作。

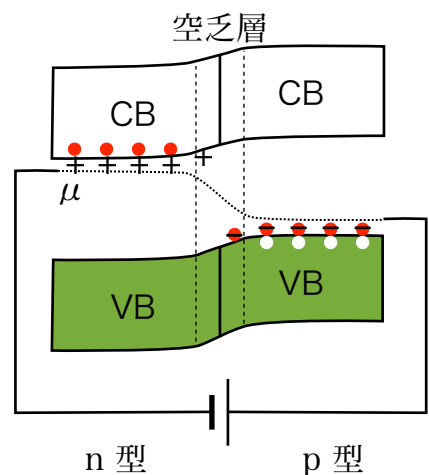


図 9 p-n 接合ダイオードに順バイアスを加えた場合の動作。

p-n 接合ダイオード：順バイアス動作

図9に、p-n 接合に順バイアスを加えた場合の様子を示す。外部電位により、ほとんどの内蔵電位が打ち消され、不純物による電荷担体が接合面を通してほぼ自由に行き来できるため、p-n 接合ダイオードを流れる電流は、図10のように外部電位 V_{ext} の指数関数で変化することが期待される。

ダイオード電流は、拡散電流 I_{diff} とドリフト電流 I_{drift} の和で表せる：

$$I(V_{\text{ext}}) = I_{\text{diff}}(V_{\text{ext}}) + I_{\text{drift}} = I_{\text{diff}}^0 e^{-e(V_{\text{int}} - V_{\text{ext}})/k_B T} - I_{\text{drift}}^0 e^{-E_g/2k_B T}.$$

(9) 式を代入し、 $I_0 = I_{\text{drift}}$ と置くと、図10に示す

$$I(V_{\text{ext}}) = I_0 (e^{eV_{\text{ext}}/k_B T} - 1),$$

が得られる。

逆バイアスにした場合の漏れ電流は、ボルツマン因子 $e^{-E_g/k_B T}$ の確率で起こる電子-ホール対のドリフト電流 I_{drift} である。従って、漏れ電流 I_0 はエネルギーギャップ E_g の大きさで決まる (Ge: $E_g \approx 0.66 \text{ eV}$: $I_0 =$ 数 μA , Si: $E_g \approx 1.1 \text{ eV}$: $I_0 =$ 数 nA 以下)。

接合ゲート電界効果トランジスタ (J-FET)

p-n 接合に逆バイアスを印加すると空乏層が拡大する。空乏層は電荷担体を持たないため、絶縁層を形成しており、その幅の制御を通じて、ドーパした半導体のチャネル抵抗値を外部電圧により制御する J-FET 素子が構成される。

図11(A)が J-FET の構造を示す。本体は濃くドーパされた n-型半導体で、FET の電流の主な通り道になる。その両側に p-型半導体のゲート (門) 電極が付けられている。(B) は印加電圧の回路図で、主な電子の供給源であるソース (源) とドレイン (排出路) 間に電圧 V_{DS} を印加する。p-型ゲートに逆バイアスを加えると、図8の場合のように、ゲートと p-channel の境界領域の空乏層が成長し、電流路を塞いでいく。ドレイン電極に近い部分はゲートドレイン間の電位差 V_{GD} が大きいために空乏層も広く、ソース側は接地電位に近く V_{GS} も小さくなり、空乏層は狭い。ゲート電圧を上げていくと、ドレイン近くでは、遂

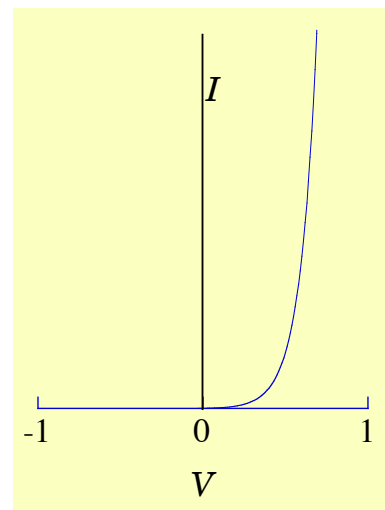
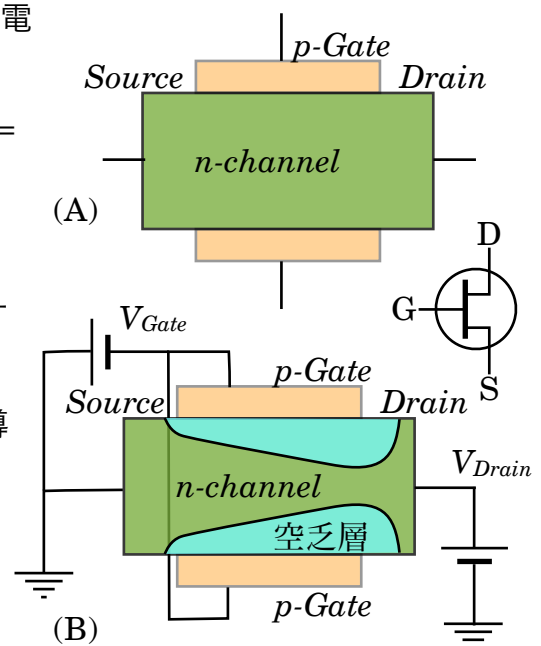


図10 p-n 接合ダイオードを流れる指数関数的な電流。正の電位差が順バイアスに対応する。



J-FET の電流-電圧特性

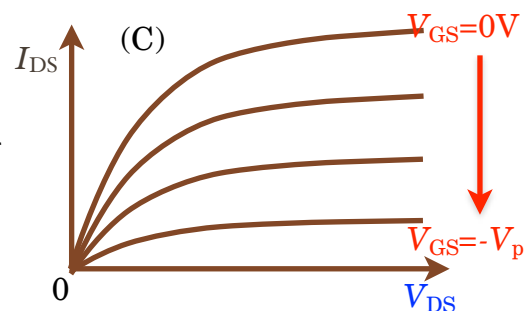


図11 p-n 接合型 FET の構造 (A)、印加電圧 (B)、電流-電圧特性 (C)。

には n-channel の電流路の全幅が空乏層になり（その時のゲート電圧をピンチオフ電圧 V_p と呼ぶ）、 I_{DS} はゼロになる。その様子を図11(C) に示す。

この様子は、水路 (channel) を水門 (Gate) で閉じるイメージに近い。 V_{DS} が小さい間はほぼ $I_{DS} \propto V_{DS}$ の関係が成り立ち、 V_{GS} で制御が可能な「可変抵抗」として動作する。

トランジスタ

J-FET は、空乏層により抵抗値を制御したが、トランジスタは内蔵（障壁）電位をベース電位により制御し、エミッターコレクタ間の電流を制御する。

図12に n-p-n 型トランジスタの構造を示す。2つの n-型半導体で、なるべく薄くした p-型半導体をサンドイッチした構造で、図13(A) にベース電圧がゼロの時のエネルギー準位を示す。電子放射源のエミッタと収集電極のコレクタはドーパした n-型半導体で、キャリアは電子である。コレクタを正にバイアスしてポテンシャルを下げているので、エミッタから見るとコレクタのエネルギーは低く、ベースが無ければエミッタからコレクタにドリフト電子流が起こる。しかし、エミッターベース間の n-p 接合の障壁電位を乗り越えなければ電流は流れない。そこで、ベース電位をエミッタに対して正にバイア

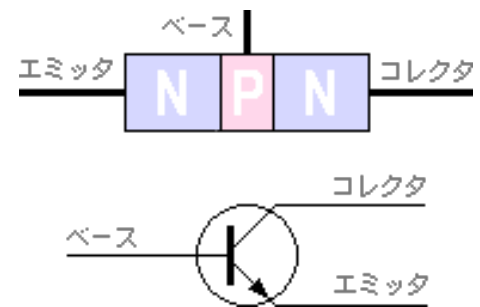


図12 n-p-n 型トランジスタの構造と回路記号。

ス（ダイオードの順バイアス）すると図9に見るように、障壁電位がバイアス分だけ下がり、エミッタの電子が容易に熱励起されベースに流れ込む。その一部はベース電流になるが、ほとんどの電子は薄いベースを通過してコレクタに流れこむ。ベース電流の割合は、ベースの p-型不純物濃度やその厚みによって決まる。通常は $1/h_{FE}$ ($h_{FE} \approx 100$ 程度) になり、 h_{FE} を電流増幅率と呼ぶ。世界で最初にブラッテン、バーディーン、ショックレーにより作られたトランジスタは、Ge の n-p-n 型である。

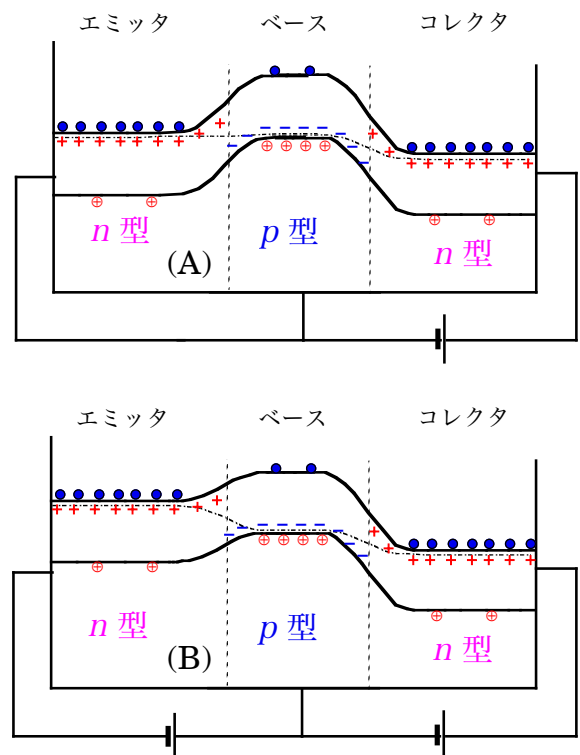


図13 n-p-n 型トランジスタの動作原理。(A) ベース電圧がゼロの時。(B) ベース電位を印加したとき。

図14 トランジスタの電流-電圧特性

